

T S1/5/1

1/5/1

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

01000590

ELECTROCHROMIC DISPLAY DETECTION SYSTEM

PUB. NO.: 57-150890 [JP 57150890 A]

PUBLISHED: September 17, 1982 (19820917)

INVENTOR(s): SONE KIYOSHI

INOUE TOSHIHARU

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

MIYAKE SEIJI [000000] (An Individual), JP (Japan)

APPL. NO.: 56-036957 [JP 8136957]

FILED: March 13, 1981 (19810313)

INTL CLASS: [3] G09G-003/16; G09G-003/34

JAPIO CLASS: 44.9 (COMMUNICATION -- Other)

?



(¥ 4,000.-)

実用新案登録願(2)

適

昭和56年3月18日

特許庁長官殿

1. 考案の名称 マトリックスディスプレイ^{ソフトウェア}装置

2. 考案者

住 所 守口市京阪本通2丁目18番地

三洋電機株式会社内

氏 名 米 井 博

3. 実用新案登録出願人

住 所 守口市京阪本通2丁目18番地

名 称 (188) 三洋電機株式会社

代表者 井 植 薫

4. 代 理 人

住 所 守口市京阪本通2丁目18番地

三洋電機株式会社内

氏 名 弁理士(8550) 佐 野 静 夫

連絡先：電話(東京)835-1111 特許センター駐在 鎌山

特許

56 3.20

✓ 56 038468



972

150890

明 細 書

1. 考案の名称

マトリックスディスプレイ装置

2. 実用新案登録請求の範囲

(1) 輝度信号をその階調に応じたPWM信号に変換し、絵素子を構成する直線的電光特性を備える発光素子に同期的に印加し、情報を表示するマトリックスディスプレイ装置において、 γ 特性等の直線性補正曲線を折線で近似し、該折線を形成する個々の直線に対応して上記PWM信号を発生するためのクロックパルスの周期を変えることに依り、光入出力特性の直線性を補正すべく構成したマトリックスディスプレイ装置において、水平同期信号に同期した信号で制御され、基本クロックパルスの整数倍の周波数の出力を発生するゲネレータ発振回路と、該発振回路の出力を前記近似折線の区画毎に割当られるクロックパルス周波数に分周する分周回路及び輝度階調（レベル）対相対輝度近似特性上決まる各近似折線区間の周期を持つ出力に分周する分周回路とを備え、後者の分周

回路の出力を目安として、前者の分周回路の出力を順次切換えて異周期のクロックパルス^{PWM変調回路に}を供給してなるマトリックスディスプレイ装置。

八子挿入



3. 考案の詳細な説明

本考案は、マトリックスディスプレイ装置に係り、特に、絵素を表示する発光素子として直線的
光電特性を備えるLED等の素子群から成るマト
リックスディスプレイ装置の光入力対光出力特性
の直線性を効率よく簡素な回路で補正することを
目的とするものである。



いわゆるマトリックスパネルを用いて、映像信号を表示する場合、各絵素の輝度を表示する発光素子に、そのパルス巾が当該絵素の輝度の階調に比例するパルス巾変調（以下PWMと称す）信号を印加する方法が用いられる。そして、マトリックスパネルの走査方式としては、十分な輝度を確保すべく、一ライン（一水平走査線）を形成すべき各発光素子に同時に各対応のPWM信号を印加し、一ラインを単位として順次垂直方向に走査する方法が採られる。斯る点につき、今少し説明す

ると、例えば、TV映像信号において、黒レベルから最高輝度（白レベル）に至る信号に対する階調数を、16とし、映像信号を4ビット単位でA/D変換し、該デジタル出力（4ビット）を変調入力としてPWM回路に加え、原信号の階調に近似的に比例するパルス巾を持つPWM信号を得る構成を一つの単位として、1ラインの発光素子数に対応する数だけ設け、当該ライン情報を形成する原信号の各発光素子に対応する絵素の階調に相当するPWM信号を、その1ラインの該当する発光素子に同時に印加し、順次垂直方向に発光せしめるものである。

次に第1図の回路図を参照しつつ、本考案装置に用いるPWM変調回路の一例につき説明する。

この回路は、大別して、ダウンカウンタ(DC)とRSフリップフロップ(F)で構成され、該フリップフロップ(F)を、垂直走査パルスの前縁のプリセットパルスPでセットし、前記ダウンカウンタDCのボロウ(BORROW)出力でリセットすることによって上記フリップフロップ(F)からPWM出力

を取り出す構成となっている。前記ダウンカウンタD Cは、上記マトリックスパネルで表示すべき映像信号の、4ビットA D変換出力をプリセット入力とし、上記プリセットパルスPをリセット或はスタート信号として、クロックパルスC Pをダウンカウントする構成となっている。

ところで、上述の如く、マトリックスパネルを構成する各絵素相当の発光素子は、入力対光出力特性が直線性を持っており、それ故、TV映像信号の如く予め送像側で γ 補正されている信号を、そのまま上述の如くP W M信号に変換して各発光素子に印加し、マトリックス表示を行ったのでは、再生（表示）映像の直線性が極端に悪くなるという欠点を余儀なくされる。


本考案は、斯る点に鑑み、上述の如きP W M変調回路に入力されるクロックパルスの周期を等間隔とせず、原信号の階調に従って、上述の如き非直線性を補正する曲線に近似した折線を形成する個々の直線の勾配に従って変え、結果的に、L E D等で構成されるマトリックスパネルの電気入力

対光出力特性をCRT（ブラウン管）のそれに近似せしめることに依って直線性のよい映像を再現し得べく構成したものである。

以下、本考案の詳細を、更に第2図乃至第4図を参照しつつ説明する。

いま、補正すべき信号電圧（各発光素子で表示さるべき原信号の相対値）対PWMパルス巾（輝度）の相対値曲線が、第2図、一点鎖線図示の如くであるとする。

以下の説明では、便宜上、このような補正曲線Lを、第2図の3つの直線 l_1 、 l_2 及び l_3 で形成される折線で近似する場合を例にとって説明する。



マトリックスパネルを構成するLED等の発光素子の光電特性は、略直線的であるから、第2図において、折線近似を実現するには、信号電圧（相対値…以下同じ）が $4/15$ の時に、PWM回路の出力パルス巾が $7/100$ 、同じく $8/15$ の時にPWM回路の出力パルス巾が $28/100$ 、同じく $15/15$ の時にはPWM回路のパルス巾が $100/100$ 相当と

なる様に、それぞれの直線区間 $\ell 1$ 、 $\ell 2$ 及 $\ell 3$ におけるクロックパルスの周期を決めればよい。
 そして直線区間 $\ell 1$ については、クロックパルスとして、最短周期のパルス $P 1$ を4個宛割当てる。
 又直線区間 $\ell 2$ については、クロックパルスとして、中周期のパルス $P 2$ を4個宛割当て、更に直線区間 $\ell 3$ についてはクロックパルスとして最長周期のパルス $P 3$ を7個宛割当てる。

各クロックパルス $P 1$ 、 $P 2$ 及び $P 3$ の周期の設定例は例えば以下の如くである。

1ライン期間を $63.5 \mu \text{sec}$ とすると、直線区間 $\ell 1$ については、パルス $P 1$ の周期 $\tau 1$ は、

$$\tau 1 = \frac{7}{100} \times \frac{1}{4} \times 63.5 \mu \text{sec} \approx 1.11 \mu \text{sec} \quad \dots \dots (1)$$

直線区間 $\ell 2$ については、パルス $P 2$ の周期 $\tau 2$ は、

$$\tau 2 = \frac{21}{100} \times \frac{1}{4} \times 63.5 \mu \text{sec} \approx 3.34 \mu \text{sec} \quad \dots \dots (2)$$

直線区間 $\ell 3$ については、パルス $P 3$ の周期 $\tau 3$ は、

$$\tau 3 = \frac{72}{100} \times \frac{1}{7} \times 63.5 \mu \text{sec} \approx 6.53 \mu \text{sec} \quad \dots \dots (3)$$

となるが、回路設計上の問題を考慮して、 $\tau 2$

$= 3\tau_1$ 、 $\tau_3 = 6\tau_1$ とする。

次に、第3図の一実施回路例を参照し乍ら、クロックパルス発生回路の構成について説明する。同図において、図番00は、ゲートッド発振回路、01は第1カウンタ、02は第2カウンタ、04は第1フリップフロップ回路、05は第2フリップフロップ回路、03 02及び01はそれぞれ第1、第2及び第3ゲート回路、00はOR回路である。

前記ゲートッド発振回路00は、(N1)(N2)(N3)の3個のNANDゲートと抵抗(R)及びコンデンサ(C)を備え、前記抵抗(R)を半固定とし発振周波数 $4f_1$ （但し $f_1 = \frac{1}{\tau_1}$ ）を調整し得る様に構成される。

この発振回路00は、マトリックスパネルで表示すべき映像信号中の水平同期信号に同期した信号PHをゲート入力として、同期信号の後縁に一致するパルスの立上りから次の水平同期信号の始点に一致するパルスの立下りの時点まで周波数 $4f_1$ で発振を継続する。（第4図の波形図④及び⑤参照）前記第1カウンタ01は、例えば、SN7493

(T I 社製) の様な ($\frac{1}{2} \cdot \frac{1}{8}$ 分周) バイナリカウンタで構成するを可とし、分周回路として機能する。即ち、前記ゲート入力 P H のインバート出力でリセットをかけると共に、前記発振回路 00 の出力 $4 f_1$ を入力として、A I N 端子に印加する。また、(I) はインバータを、(E) はリセット端子を示すと、このカウンタは、Q A 端子に生ずる $\frac{1}{2}$ 分周出力を B I N 端子に印加することによって Q B 端子に f_1 周期のパルス (第 4 図 ⊙ P 1) を、Q D 端子に $\frac{1}{4} f_1$ 周期のパルス (第 4 図 ⊖) を生ずる。



前記第 2 カウンタ 02 は、例えば S N 7 4 9 2 (T I 社製) の様な ($\frac{1}{3} \cdot \frac{1}{2} \cdot \frac{1}{2}$ 分周) バイナリカウンタで構成するを可とし、上記パルス P 2 及び P 3 及び $\frac{1}{12} f_1$ なるパルスを生ずるための分周回路として機能する。即ち、その B I N 入力端子に入力として f_1 パルスを入力とすると、Q C 端子には $f_2 = \frac{1}{3} f_1$ なる関係のパルス P 2 を、Q D 端子には $f_3 = \frac{1}{6} f_1$ の関係にあるパルス P 3 を生ずる。又、端子 Q D を A I N 端子に直結することによって、Q A 端子からは、 $\frac{1}{12} f_1$ のパルス (第 4 図 ㊦)

が取出される。

前記第1、第2フリップフロップ回路(2)(3)は、いずれもJ-Kフリップフロップで構成される。従って、そのJ端子をハイレベルH、K端子をローレベル(接地)に設定すると、各々のQ出力端子には、リセット後最初のT入力パルスの立下りで立上るパルスが出力される。

従って、第1フリップフロップ回路(2)のT入力端子に第1カウンタ(1)のQ_D端子の出力パルス $\left\{ \frac{1}{4} f_1 \right\}$ (第4図(二))を加えると、第1フリップフロップ回路(2)のQ出力端子には、第4図(四)の如きパルスが生じる。第1フリップフロップ回路(2)の \bar{Q} 出力は、その立下りで、パルスP₁の4個目の立下りに一致し、直線区間 δ_1 の終端に相当する信号電圧(レベル4)のクロックパルスの終端を規定する。(第4図(六)(ヌ))この \bar{Q} 出力は、ゲート入力として第1ゲート回路(4)を制御し、同時にリセット信号として第2カウンタ(2)をリセットする。

また、第2フリップフロップ回路(3)のT入力端

子に上記第2カウンタ02のQ A端子出力を、リセット端子に第1フリップフロップ回路04のQ端子出力をそれぞれ印加すると、そのQ出力端子には、第4図(リ)の如く、 $\frac{1}{12} f_1$ なる周期を持つパルス（信号電圧レベル8を規定するクロックパルスP28の終端、直線区間82の終端を規定するパルス、第4図(サ)の立下りに同期して立上るパルスが生ずる。

上記第1、第2及び第3ゲート回路01 02及び03はいずれもANDゲート回路で構成される。

第1ゲート回路01は、上記第1フリップフロップ回路04の \bar{Q} 出力をゲート入力とし、上記第1カウンタ01のQ B端子出力、即ち、周期 $T_1 = \frac{1}{f_1}$ のパルスを入力としている。

この入力パルスP1は、水平同期信号に同期したゲートパルスPHの立上りに同期した上記ゲेटッド発振回路00の分周出力であるから、前記第1ゲート回路01からOR回路04に加えられるパルスP11、P12、P13及びP14は、第2図中、直線区間81をカバーするクロックパルスとなる。

次に、上記第2ゲート回路(2)に入力として加えられる第2カウンタ(12)のQ₀端子出力、(第4図(ハ))は、前記第2カウンタ(12)が、上記第1フリップフロップ回路(10)の \bar{Q} 端子出力でリセットされた後に生ずる。従って、その終端だけをその立下りで信号電圧(レベル8)のタイミングを規定するパルス、即ち第2フリップフロップ回路(10)の \bar{Q} 出力で規定すれば、この \bar{Q} 出力をゲート入力とする上記第2ゲート回路(2)の出力P₂₁、P₂₂、P₂₃及びP₂₄は、第2図の直線区間 θ_2 をカバーするクロックパルスとなる。

更に、第2フリップフロップ回路(10)のQ端子出力は、信号電圧(レベル9)の始端相当の位置で立上り、上記ゲート信号P_H(第4図(イ))で立下るから、このパルスをゲート信号として第3ゲート回路(3)を制御すれば、上記第2カウンタ(12)のQ_D端子出力パルス(周期 $T_3 = 6T_1 = 6 \frac{1}{f_1}$)は7周期分だけOR回路(4)に供給されて、直線区間 θ_3 をカバーするクロックパルスとなる。

要するに、各水平走査期間中、各絵素LED列

に対応して設けられるP W M回路には、O R回路(40)を通してクロックパルスとして、最初の直線区
間 ℓ 1 には第1ゲート回路(31)の出力、P 11、P 12
P 13 及び P 14 が順次に、次の直線区間 ℓ 2 には第
2ゲート回路(32)の出力、P 21、P 22、P 23 及び
P 24 が順次に、更に直線区間 ℓ 3 には第3ゲート
回路(33)の出力、P 31、P 32 …… P 37 が順次に印加
されるから、P W M回路は、第2図の折線近似の
入出力特性を持つことになる。第4図(ㄆ)は出力ク
ロックパルスの1水平走査期間の時間的推移を示
すものである。

上述の如き、本考案に依れば、ゲーテッド発振
回路と分周回路及びフリップフロップ回路の簡潔
な回路構成で、P W M変調器のクロックパルスの
同期を各水平走査期間に亘って適宜変えることに
よって、マトリックスパネルの駆動(信号)電圧
対輝度(P W M出力パルス巾)特性をC R Tの光
電特性に折線近似し得るので、マトリックスパネ
ルの表示映像の直線性が向上し、自然な輝度レベ
ルに近い再生映像を得ることが出来る。

4. 図面の簡単な説明

第1図はP W M回路のブロック図、第2図は信号電圧レベル対パルス巾(輝度)特性図、第3図は要部の一実施回路図、第4図は動作波形図である。

(10) ……ゲートッド発振回路

(11) ……第1カウンタ (12) ……第2カウンタ

(21) ……第1フリップフロップ回路

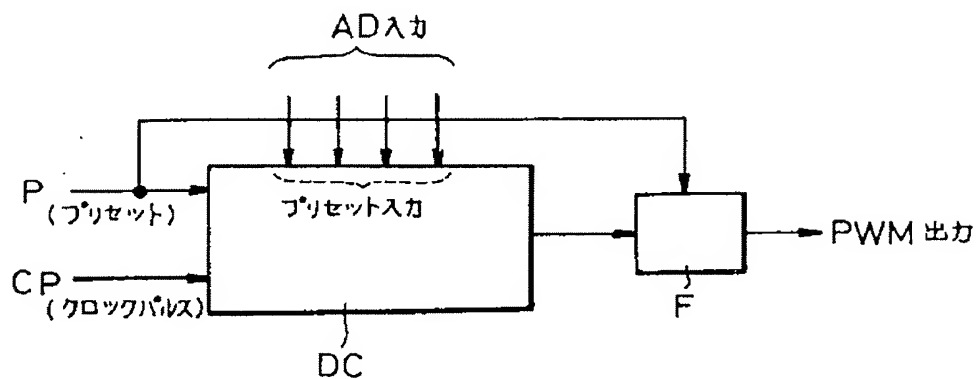
(22) ……第2フリップフロップ回路

(31) (32) (33) ……第1、第2、第3ゲート回路

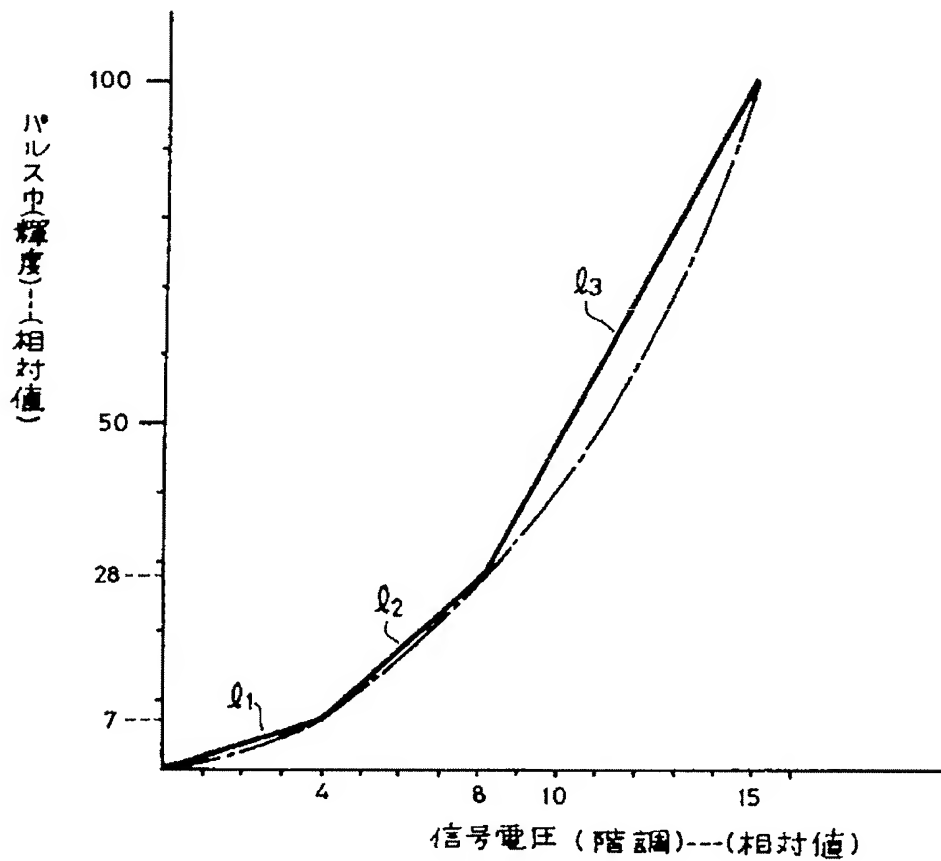
出願人 三洋電機株式会社

代理人 弁理士 佐野 静夫

第1図



第2図

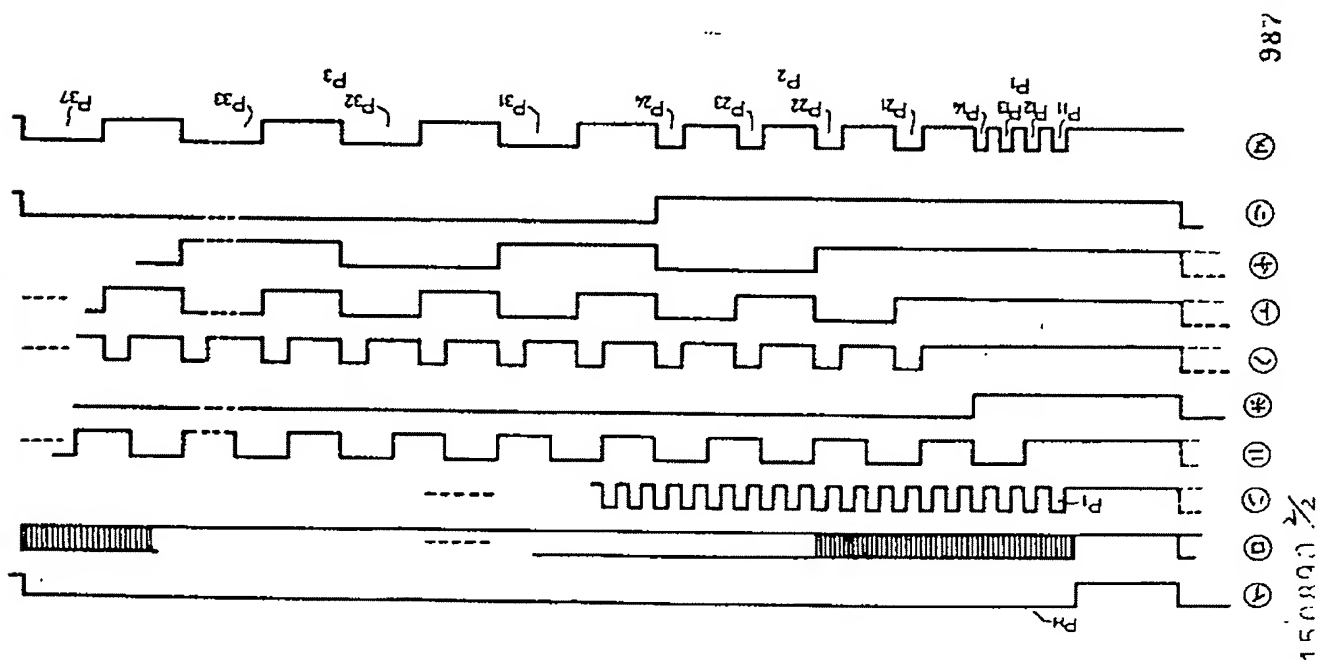


150890 $\frac{1}{2}$

986

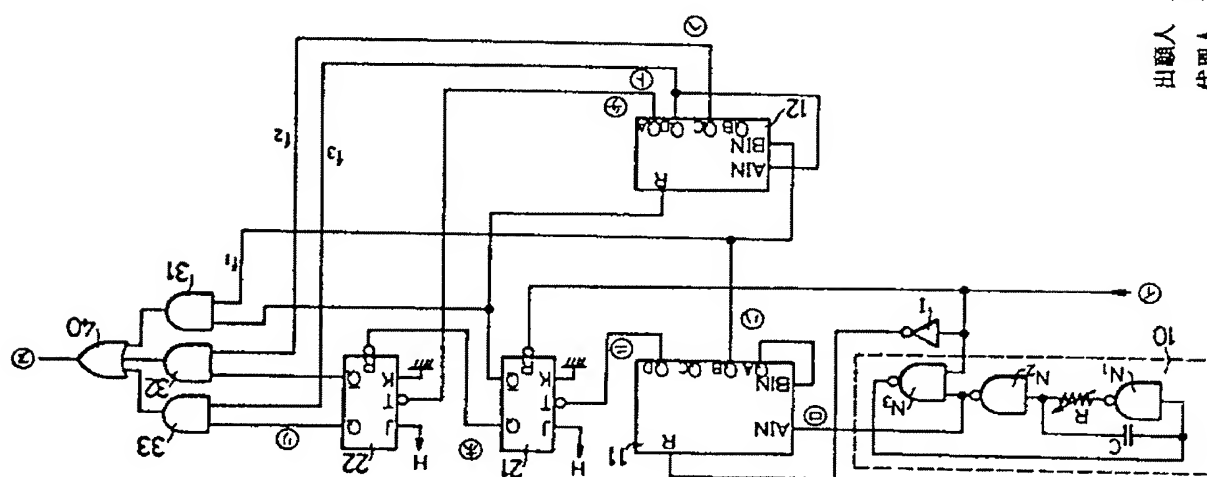
出願人 三洋電機株式会社
代理人 弁理士 佐野 静夫

第4図



9.86

第3図



出願人 三洋電機株式会社
代理人 弁理士 佐野 静夫



5. 添付書類の目録

- | | |
|----------|-----|
| (1) 明細書 | 1 通 |
| (2) 図面 | 1 通 |
| (3) 願書副本 | 1 通 |
| (4) 委任状 | 1 通 |

